

Міністерство освіти і науки України
Національний аерокосмічний університет ім. М. Є. Жуковського
«Харківський авіаційний інститут»

Кафедра комп'ютерних систем, мереж і кібербезпеки (№ 503)

ЗАТВЕРДЖУЮ

Голова НМК



Д.М. Крицький

(підпис)

(ініціали та прізвище)

«31» серпня 2022 р.

**РОБОЧА ПРОГРАМА ОBOB'ЯЗКОВОЇ
НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

Програмовні системи на кристалі

(назва навчальної дисципліни)

Галузь знань: 12 "Інформаційні технології"
(шифр і найменування галузі знань)

Спеціальність: 123 "Комп'ютерна інженерія"
(код та найменування спеціальності)

Освітня програма: Комп'ютерні системи та мережі

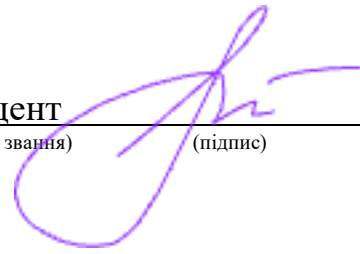
Освітня програма: Системне програмування
(найменування освітньої програми)

Форма навчання: денна

Рівень вищої освіти: перший (бакалаврський)

Харків 2022 рік

Розробник: Куланов В.О., доцент, к.т.н., доцент
(прізвище та ініціали, посада, науковий ступінь та вчене звання)

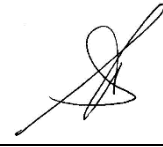


(підпис)

Робочу програму розглянуто на засіданні кафедри _____
комп'ютерних систем, мереж і кібербезпеки
(назва кафедри)

Протокол № 1 від « 30 » 08 2022 р.

Завідувач кафедри _____ Д.Т.Н., професор
(науковий ступінь та вчене звання)



(підпис)

В. С. Харченко
(ініціали та прізвище)

1. Опис навчальної дисципліни

Найменування показників	Галузь знань, спеціальність, освітня програма, рівень вищої освіти	Характеристика навчальної дисципліни (денна форма навчання)
Кількість кредитів – 4,5	<p style="text-align: center;">Галузь знань <u>12 "Інформаційні технології"</u> (шифр та найменування)</p> <p style="text-align: center;">Спеціальність <u>123 "Комп'ютерна інженерія"</u> (код та найменування)</p> <p style="text-align: center;">Освітня програма <u>Комп'ютерні системи та мережі</u> <u>Системне програмування</u> (найменування)</p> <p style="text-align: center;">Рівень вищої освіти: перший (бакалаврський)</p>	Обов'язкова
Кількість модулів – 1		Навчальний рік
Кількість змістових модулів – 2		2022/2023
Індивідуальне завдання: <u>немає</u>		Семестр
Загальна кількість годин – 48/135		4-й
Кількість тижневих годин для денної форми навчання: аудиторних – 3, самостійної роботи студента – 3		Лекції ¹⁾
		32 години
		Практичні, семінарські ¹⁾
		16 годин
		Лабораторні ¹⁾
	0 годин	
	Самостійна робота	
	87 години	
	Вид контролю	
	Іспит	

Співвідношення кількості годин аудиторних занять до самостійної роботи становить: 48/87

¹⁾ Аудиторне навантаження може бути зменшене або збільшене на одну годину в залежності від розкладу занять.

2. Мета та завдання навчальної дисципліни

Мета: оволодіння навичками проектування комп'ютерних систем на програмованих логічних інтегральних схемах (ПЛІС); вивчення мов опису апаратури; отримання практичних навичок розроблення комп'ютерних систем на мові опису апаратури VHDL.

Завдання: вивчити засоби і основні принципи побудови комп'ютерних систем; вивчити синтаксис мови опису апаратури VHDL; вміти створювати проектні рішення на ПЛІС; вміти тестувати проектні рішення цифрових пристроїв.

Компетентності, які набуваються:

- здатність до абстрактного мислення, аналізу і синтезу;
- здатність вчитися і оволодівати сучасними знаннями;
- здатність застосовувати знання у практичних ситуаціях;
- здатність спілкуватися державною мовою як усно, так і письмово;
- вміння виявляти, ставити та вирішувати проблеми;
- здатність використовувати засоби і системи автоматизації проектування до розроблення компонентів комп'ютерних систем та мереж, Інтернет додатків, кіберфізичних систем тощо;
- здатність проектувати, впроваджувати та обслуговувати комп'ютерні системи та мережі різного виду та призначення;
- здатність використовувати та впроваджувати нові технології, включаючи технології розумних, мобільних, зелених і безпечних обчислень, брати участь в модернізації та реконструкції комп'ютерних систем та мереж, різноманітних вбудованих і розподілених додатків, зокрема з метою підвищення їх ефективності;
- здатність вирішувати проблеми у галузі комп'ютерних та інформаційних технологій, визначати обмеження цих технологій;
- здатність проектувати системи та їхні компоненти з урахуванням усіх аспектів їх життєвого циклу та поставленої задачі, включаючи створення, налаштування, експлуатацію, технічне обслуговування та утилізацію.

Очікувані результати навчання:

- знати новітні технології в галузі комп'ютерної інженерії;
- вміти системно мислити та застосовувати творчі здібності до формування нових ідей.

Пререквізити - "Комп'ютерна електроніка", "Комп'ютерна схемотехніка", "Архітектура комп'ютерів".

Кореквізити - "Інтерфейси", "Мікропроцесорні системи", "Периферійні пристрої".

3. Програма навчальної дисципліни

Модуль 1.

Змістовний модуль 1. Засоби та технології автоматизованого проектування цифрових систем.

Тема 1. Процес проектування комп'ютерних систем. Історія розвитку. Методи та засоби проектування.

Предмет, ціль вивчення й завдання дисципліни. Структура, зміст дисципліни й методичні рекомендації з її вивчення. Місце дисципліни в навчальному процесі. Характеристика рекомендованих під час вивчення дисципліни джерел інформації. Процес проектування комп'ютерних систем. Поняття обчислювальної система. Історія розвитку й покоління цифрових систем та засобів проектування.

Тема 2. Мікросхеми програмованої логіки. Класифікація ПЛІС. Структура FPGA мікросхеми.

Поняття програмованої логіки. Історія розвитку мікросхем програмованої логіки. Класифікація мікросхем програмованої логіки. Різниця між CPLD і FPGA структурами. Основні фірми розробники мікросхем ПЛІС. Структура мікросхем FPGA.

Тема 3. Загальні відомості о процесі проектування. Основні етапи розробки проектів на ПЛІС. Області та рівні моделювання.

Процес проектування цифрових систем на мікросхемах програмованої логіки. Стратегія проектування. Діаграма Гайского-Кана. Області та рівні моделювання при проектуванні СБІС. Основні етапи розробки проектів на ПЛІС. Вибір елементної бази та САПР. Специфікація проекту. Розробка загальної структури проекту. Змістовний опис проекту та його частин. Компіляція проекту. Верифікація проекту. Визначення часових характеристик проекту. Організація проектних експериментів.

Тема 4. Засоби автоматизованого проектування цифрових систем. Загальний підхід розробки проектів на ПЛІС в середовище Quartus II.

Системи автоматизованого проектування. Класифікація САПР. Фірми розробники САПР. Загальний підхід розробки проектів на ПЛІС в середовище Quartus II. Quartus II цикл розробки проекту. Представлення та імплементація проекту, проектні обмеження. Синтез. Place and Route. Симуляція проектних рішень. Timing Analyzing.

Змістовний модуль 2. Методи та мови опису цифрових проектів на ПЛІС. Мова VHDL.

Тема 5. Методи та мови опису цифрових проектів на ПЛІС. Мова VHDL, основні поняття.

Методи та мови опису поведінки цифрових схем. Використання систем булевих виразів, таблиці істинності. Граф-схема алгоритму. Графічний та текстовий опис проекту на ПЛІС. Огляд існуючих мов опису цифрових проектів Verilog HDL, JHDL, VHDL та ін. Мова VHDL, основні поняття. Структурний VHDL. Поведінковий VHDL. Типи даних мови VHDL.

Тема 6. Поведінковий та структурний VHDL-опис цифрових схем. Поняття TestBench модулів.

Стандарти мови VHDL (VHDL`87 ANSI/IEEE Std 1076-1987; VHDL`93 ANSI/IEEE Std 1076-1993 – основний стандарт; VHDL-AMS Std 1076.1-2007 – опис аналогових та цифро-аналогових схем; IEEE Std 1076-2008 – актуальна версія основного стандарту). Мовна структура ENTITY. Ключові слова для визначення режимів порту. Типи сигналу. Поведінковий опис цифрових схем. Структурний опис цифрових схем. Поняття TestBench модуль.

Тема 7. Опис сигналів та процесів. Типи затримок. Поняття Δ-затримки при моделюванні. Опис змінних. Атрибути в мові VHDL.

Опис сигналів та процесів. Стан процесу. Оператор PROCESS. Типи затримок. Інерційна затримка компоненту. Транспортна затримка (час розповсюдження сигналу). Оператор WAIT. Поняття Δ-затримки при моделюванні. Опис змінних та констант. Використання змінних та констант. Відмінність між сигналами та змінними.

Тема 8. Синхронні та асинхронні процеси, послідовні та паралельні оператори VHDL. Опис тригерних схем на VHDL. Поняття підпрограм.

Синхронні та асинхронні процеси. Атрибут EVENT. Послідовні та паралельні оператори VHDL. Оператор LOOP. Опис тригерних схем на VHDL. Класифікація тригерів. Способи опису тригерів. Карти Карно. Діаграми стану. Таблиці переходів. Часові діаграми. Умовні оператори та оператори вибору (IF, CASE). Підпрограми. Оператор блока.

Тема 9. Пакети в VHDL. Концепція видимості опису та об'єктів в VHDL. RTL-синтез, основні поняття. Опис регістрових схем.

Опис в VHDL типових дискретних схем. Пакети в VHDL. Концепція видимості опису та об'єктів в VHDL. Опис регістрових схем. Поняття RTL. RTL-синтез.

4. Структура навчальної дисципліни

Назви змістових модулів і тем	Кількість годин				
	Усього	У тому числі			
		л	п	лаб.	с. р.
1	2	3	4	5	6
Модуль 1					
Змістовий модуль 1. Засоби та технології автоматизованого проектування цифрових систем.					
Тема 1. Процес проектування комп'ютерних систем. Історія розвитку. Методи та засоби проектування	3	2			1
Тема 2. Мікросхеми програмованої логіки. Класифікація ПЛІС. Структура FPGA мікросхеми	17	2			15
Тема 3. Загальні відомості о процесі проектування. Основні етапи розробки проектів на ПЛІС. Області та рівні моделювання.	17	2			15
Тема 4. Засоби автоматизованого проектування цифрових систем. Загальний підхід розробки проектів на ПЛІС в середовище Quartus II.	13	2		2	9
Разом за змістовим модулем 1	50	8		2	40
Змістовий модуль 2. Методи та мови опису цифрових проектів на ПЛІС. Мова VHDL.					
Тема 5. Методи та мови опису цифрових проектів на ПЛІС. Мова VHDL, основні поняття	13	4		2	7
Тема 6. Поведінковий та структурний VHDL-опис цифрових схем. Поняття TestBench модулів.	18	5		3	10
Тема 7. Опис сигналів та процесів. Типи затримок. Поняття Δ -затримки при моделюванні. Опис змінних. Атрибути в мові VHDL	18	5		3	10
Тема 8. Синхронні та асинхронні процеси, послідовні та паралельні оператори VHDL. Опис тригерних схем на VHDL. Поняття підпрограм	18	5		3	10
Тема 9. Пакети в VHDL. Концепція видимості опису та об'єктів в VHDL. RTL-синтез, основні поняття. Опис регістрових схем.	18	5		3	10
Разом за змістовим модулем 2	85	24		14	47
Усього годин за дисципліною	135	32		16	87

5. Теми семінарських занять

№ з/п	Назва теми	Кількість годин
1	<i>Не передбачено</i>	
	Разом	

6. Теми практичних занять

№ з/п	Назва теми	Кількість годин
1	<i>Не передбачено</i>	
	Разом	

7. Теми лабораторних занять

№ з/п	Назва теми	Кількість годин
1	<ol style="list-style-type: none"> 1) Мова VHDL як програмна система. 2) Структура проекту. Службове слово ENTITY та архітектурні тіла. 3) Типи даних VHDL. Фізичні типи. Скалярні типи. Масиви та записи. Підтипи. 4) Опис цифрових проектів на мові VHDL в середовище проектування пакету Quartus II. 	2
2	<ol style="list-style-type: none"> 1) Розробка ієрархічних проектів на ПЛІС в середовище проектування пакету Quartus II. 2) Поняття бібліотечний елемент. Створення користувальних бібліотечних елементів. 3) Використання мегафункцій при розробки проектних рішень. Поняття мегафункція. 	2
3	<ol style="list-style-type: none"> 1) Імплементация ПЛІС-проектів. 2) Альтернативні засоби автоматизованого проектування – Xilinx WebPack ISE. 3) Засоби середовища проектування пакету Quartus II для розташування проектних рішень на кристалі ПЛІС. 4) Знайомство з Редактором призначень (Assignment Editor). 5) Знайомство з Редактором топології (Floorplanner). 	2
4	<ol style="list-style-type: none"> 1) Мова VHDL як програмна система. 2) Структура проекту. Службове слово ENTITY та архітектурні тіла. 3) Типи даних VHDL. Фізичні типи. Скалярні типи. Масиви та записи. Підтипи. 4) Опис цифрових проектів на мові VHDL в середовище проектування пакету Quartus II. 	2
5	<ol style="list-style-type: none"> 1) Існуючі можливості опису проектних рішень мови VHDL. 2) Поведінковий та структурний опис проектів. 3) Умовно-графічне позначення текстового опису проектних рішень. 	2
6	<ol style="list-style-type: none"> 1) Процес верифікації, основні етапи та необхідні кроки. 2) Верифікація та тестування проектних рішень цифрових схем представлених за допомогою мови програмування VHDL. 3) Розробка TestBench модулів. 	2
7	<ol style="list-style-type: none"> 1) Ознайомитися з додатковими можливостями мови VHDL. 2) Синхронні та асинхронні процеси, послідовні та паралельні оператори VHDL. 3) Опис сигналів та процесів. Типи затримок. Поняття Δ-затримки при моделюванні. 4) Знайомство з арифметико-логічним пристроєм. Основні поняття та логика функціонування. 	2
8	<ol style="list-style-type: none"> 1) Ознайомитися з основними типами обчислювачів, представлених в якості мегафункцій в середовищі проектування Quartus II Web Edition 13.0sp1. 2) Реалізувати відповідно до індивідуального завданням принципову схему арифметико-логічного пристрою (АЛП), яке на підставі коду операції виконує задані дії над операндами 3) Ознайомитися з поняттям код операції і операндами 	2
	Разом	16

8. Самостійна робота

№ з/п	Назва теми	Кількість годин
1	Розробка ієрархічних проектів на ПЛІС в середовище проектування пакету. Quartus II.	7
2	Використання мегафункцій при розробці проектних рішень	10
3	Імплементация проектних рішень на ПЛІС – Xilinx WebPack ISE	10
4	Порівняння можливостей існуючих мов опису цифрових проектів Verilog HDL, JHDL, VHDL та ін.	10
5	Стандарти мови VHDL (VHDL`87 ANSI/IEEE Std 1076-1987; VHDL`93 ANSI/IEEE Std 1076-1993 –VHDL-AMS Std 1076.1-2007, IEEE Std 1076-2008 –)	8
6	Емуляція роботи схеми з використання сигнального редактору	10
7	Модуль тестування (TestBench) для проектних рішень	12
8	Послідовні та паралельні оператори VHDL	20
Разом		87

9. Індивідуальні завдання

Не передбачено

10. Методи навчання

Проведення аудиторних лекцій, практичних занять, консультацій, а також самостійна робота студентів за матеріалами, опублікованими кафедрою.

11. Методи контролю

Проведення поточного тестового контролю, підсумковий контроль у вигляді іспиту.

12. Критерії оцінювання та розподіл балів, які отримують студенти

Складові навчальної роботи	Бали за одне заняття (завдання)	Кількість занять (завдань)	Сумарна кількість балів
Змістовний модуль 1			
Робота на лекціях	0...1	5	0...5
Виконання і захист лабораторних робіт	3...5	4	12...20
Модульний контроль	10...15	1	10...15
Змістовний модуль 2			
Робота на лекціях	0...1	5	0...5
Виконання і захист лабораторних робіт	3...5	4	12...20
Модульний контроль	10...15	1	10...15
Виконання і захист РГР (РР, РК)	16...20	1	16...20
Усього за семестр			60...100

Контроль знань при проведенні занять оцінюється за такими шкалами.
Активність на лекції під час відповідей на питання:

- відповідь на питання та участь в обговореннях - 2 бали;
- присутність на лекції - 1 бал;
- відсутність на лекції - 0 балів,

Виконання і захист лабораторних робіт:

- при виконанні всіх вимог та повні відповіді на поставлені запитання - 4 бали;
- неповні відповіді на питання при захисті результатів роботи - 3 бали;
- неповні відповіді на питання за змістом і результатами роботи - 2 бали;
- результати роботи викладено не повному об'ємі та надано неповні відповіді на питання по роботі - 1 бал;
- якщо робота не виконана і не захищена - 0 балів.

На модульний контроль (всього 15 балів) виносяться всі пройдені за контрольований період теми, які включаються в варіанти завдань, що містять по 3 питання (по всім темам та видам занять). Максимальна кількість балів за кожне питання - 5.

Семестровий контроль (іспит) проводиться у разі відмови студента від балів поточного тестування й за наявності допуску до іспиту. Під час складання семестрового іспиту студент має можливість отримати максимум 100 балів.

Критерії оцінювання роботи студента протягом семестру

Задовільно (60-74). Показати мінімум знань та умінь. Виконати та захистити 75% лабораторних робіт та пройти 100% тестових завдань. Вміти аналізувати вимоги щодо проектування комп'ютерних систем та їх елементів. Вміти чітко визначати складові елементи та архітектуру обчислювальної системи, яка проектується. Володіти знаннями в галузі існуючих методів, програмно-технічних засобів які використовуються в процесі проектування комп'ютерних систем. Вміти описувати прості обчислювальні вузли комп'ютерних систем з використанням мови опису апаратури VHDL.

Добре (75-89). Володіти необхідним мінімумом знань в галузі проектування комп'ютерних систем достатніми для самостійного розв'язання задач середньої складності. Виконати та захистити 85% лабораторних робіт та пройти 100% тестових завдань. Вільно володіти програмно-технічними та інструментальними засобами розроблення комп'ютерних систем від попереднього опису, тестування та імплементації. Розв'язувати завдання на високому рівні з використанням сучасних підходів до проектування та рекомендацій.

Відмінно (90-100). Здати всі контрольні точки з оцінкою «відмінно». Досконало володіти темами та вміти застосовувати на практиці отриманні знання. Допомогати одногрупникам в процесі оволодінням знаннями в рамках дисципліни.

13. Методичне забезпечення

1. Куланов В.О., Ілляшенко О.О. Конспект лекцій (в електронному вигляді).
2. Куланов В.О., Перепелицин А.Є. Лабораторні роботи (в електронному вигляді).
3. Дистанційний курс в системі дистанційного навчання Ментор, розташований за посиланням: <https://mentor.khai.edu/course/view.php?id=1644>.

14. Рекомендована література

Базова

1. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. 608 с.
2. Дж. Ф. Уэйкерли Проектирование цифровых устройств. В 2-х томах. М.: Постмаркет, 2002.
3. Digital Logic and Microprocessor Design with VHDL (soon with Verilog), Enoch O.Hwang, La Sierra University, Riverside, CA, Thomson – 2006, 2018.
4. The Design Warrior's Guide to FPGAs. Clive Maxfield, Elsevier, 2004, 560 p.
5. Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. – М.: ДОДЭКА, 2000. 128 с.
6. Advanced FPGA Design: Architecture, Implementation, and Optimization - Steve Kilts. IEEE, 353 p.
7. Yalamanchili S. Introductory VHDL: From Simulation to Synthesis. Prentice-Hall, 2001, 401 p.

Допоміжна

1. Хоровиц, Хилл Искусство схемотехники, 2 том. – Мир. 2003, стр.: 704.
2. Угрюмов Е.П. Цифровая схемотехника. - СПб: БНВ - Санкт-Петербург, 2000 г, 528 стр.
3. Reuse methodology manual for system -on-a-chip designs, third edition. Michael Keating, Pierre Bricaud, Kluwer Academic Publishers, 2002, 312 p.

15. Інформаційні ресурси

1. CI-csn.khai.edu – [Ел. ресурс]. – Режим доступу: <https://ci.csn.khai.edu>